

FPGA を用いた縦置き 3 画面タイルドディスプレイシステムの高画質化

情報・通信工学科 学籍番号:1211133 成見研究室 難波宗介

1 はじめに

近年、ディスプレイの薄型化や通信技術の向上により様々な画像や映像広告を表示するデジタルサイネージが多く見られるようになった。デジタルサイネージには非常に大型のディスプレイを用いることが多いが、設備の維持管理費や大型ディスプレイの価格が高額であるために容易に設置することはできない。この問題を解決する技術としてタイルドディスプレイが挙げられる。タイルドディスプレイとは、複数のディスプレイをタイル状に並べることで大画面での映像表示を可能にする技術である。

本研究室ではタイルドディスプレイシステムの開発を行ってきた。縦置き 3 画面のタイルドディスプレイシステムでは、汎用入力に対応しているが、画質に問題があった。本研究では画質を改善した縦置き 3 画面タイルドディスプレイシステムの開発を目的とする。

2 タイルドディスプレイの実現方法

タイルドディスプレイの実現方法には PC クラスタを利用する方法、高級 GPU を利用する方法、タイルドディスプレイ専用ディスプレイを利用する方法、FPGA を利用する方法があり、それぞれ表 1 のような特徴がある。今回は汎用入力を重視して FPGA を使用している。

3 関連技術・既存研究

3.1 縦置き 3 画面タイルドディスプレイシステム

既存研究として、同研究室の堀田による研究 [1] が挙げられる。この研究では FPGA を用いての 3D 対応タ

表 1: タイルドディスプレイシステムの比較

システム	高解像度	画面間の同期	汎用入力	コスト
PC クラスタ	○	×	×	△
高級 GPU	○	○	×	×
専用ディスプレイ	△	○	○	×
FPGA	△	○	○	○

イルドディスプレイシステムの構築と汎用入力対応の縦置き 3 画面タイルドディスプレイシステムの構築を目的としていた。画像の 3 分割・ベゼル補正・回転・拡大を実現し、HD サイズ（横 1280 x 縦 720 ピクセル）の入力のみに対応していた。DDR メモリへのアクセス速度が遅いことが原因で表示に乱れが発生すること、拡大処理簡略のために画像の右隅・下隅を切り捨てての 2 倍拡大しか実現できていないことが課題として挙げられていた。

本研究では 2 倍拡大の任意実数倍率拡大への拡張と DDR メモリアクセスの高速化を目指した。

4 システムの概要

本システムでは ZYBO[2] という FPGA ボードを使用する。映像入出力の仕様は既存システムと同じく HD サイズの HDMI 信号を入力とし、3 本の HD サイズの HDMI 信号を出力とした。既存システムと本システムのブロック図を図 1・図 2 に示す。

本システムでは HDMI デコーダ、画像 3 分割・ベゼル補正部、書き込み用 AXI コントローラ、読み出し用 AXI コントローラ、任意実数倍率拡大部、HDMI エンコーダを FPGA で実装した。HDMI デコーダと HDMI エンコーダについては既存システムのソースコードを流用した。

4.1 DDR メモリアクセス用 AXI コントローラ

FPGA には Block RAM が多数搭載されているが、容量に制限があり、入力された画像を保持しておくた

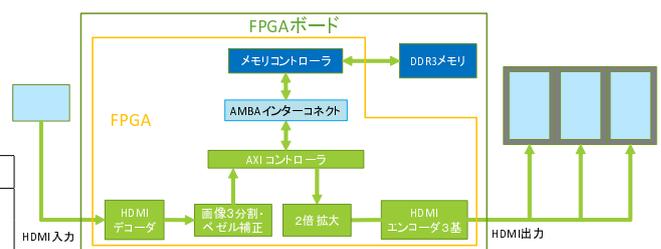


図 1: 既存システムのブロック図

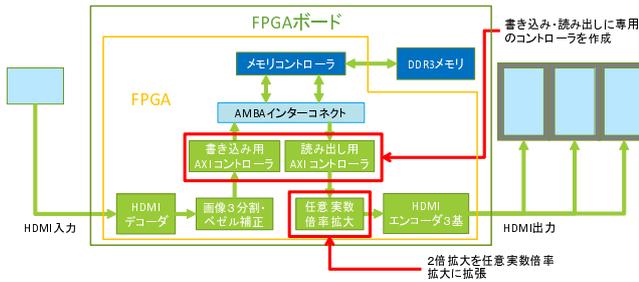


図 2: 本システムのブロック図

めには DDR メモリに保存しなければならない。メモリを利用するためには AMBA インターコネクタという通信路を経由してメモリコントローラにアクセスする必要があり、AMBA インターコネクタ上では AXI プロトコルという通信規約に従わなければならない。

4.1.1 メモリへの書き込み・読み出しの独立化

DDR メモリコントローラには High Performance AXI ポートが4個存在する。既存システムではこの HP AXI ポートを1個しか使用していなかったが、本システムでは2個使用し、それぞれ書き込み・読み出し専用にすることで書き込み・読み出し要求を同時に発行できるようにした。

4.2 任意実数倍率拡大

DDR メモリ内のフレームには横 720 × 縦 426 個のピクセルしか無く、これを横 1280 × 縦 720 個にマッピングする必要がある。横方向への拡大倍率を $r_{横}$ としたとき、拡大後の位置 $x_{拡大後}$ に対応する拡大前の位置 $x_{拡大前}$ は床関数を用いた以下の式で計算することができる。

$$x_{拡大前} = \left\lfloor x_{拡大後} * \frac{1}{r_{横}} \right\rfloor$$

同様に縦方向への拡大倍率を $r_{縦}$ としたとき、拡大後の位置 $y_{拡大後}$ に対応する拡大前の位置 $y_{拡大前}$ は床関数を用いた以下の式で計算することができる。

$$y_{拡大前} = \left\lfloor y_{拡大後} * \frac{1}{r_{縦}} \right\rfloor$$

既存システムでは2倍拡大に FIFO を使用していたので、そのままでは任意実数倍率拡大を実装することが難しかった。そこで本システムでは FIFO の代わりに Block RAM を使用することで任意実数倍率拡大を実装しやすくした。

5 評価

5.1 AMBA インターコネクタの占有率

メモリへの書き込み・読み出しにおける AMBA インターコネクタの占有率を調べた。水平同期信号から次

の水平同期信号までの間約 5500 クロックのうち約 4200 クロックで AMBA インターコネクタを占有しており、占有率は約 77% となった。既存システムでの占有率は 90% 以上だったため、占有率を 13% 以上削減することができた。

5.2 任意実数倍率拡大

既存システムでは元画像の右隅・下隅が見切れてしまっていたが、本システムでは元画像の全体を表示することができた。

5.3 映像の乱れ

既存システムで発生していたノイズは軽減されたが、新たに縞状のノイズも発生するようになってしまった。

6 おわりに

6.1 まとめ

既存システムにおける2倍拡大を任意実数倍率拡大に拡張することで入力画像の右隅と下隅が表示されない問題を解決した。またノイズ軽減のために DDR メモリアクセスモジュールの高速化と再デザインを行った。

6.2 今後の課題

今後の課題としては以下が挙げられる。

- ビット削減による画質低下
ピクセルパッキングによるビット削減前の 24 ビットでは約 1678 万色を表現することができるが、削減後の 21 ビットでは約 210 万色しか表現できず、画質が大きく損なわれてしまう。ビット削減時にディザリング（画像全体の量子化誤差の最小化）を行う手法の開発が必須である。
- 画像拡大時の補間手法
本システムでは最近傍法に近い補間処理による拡大を行っているが、拡大後の画像があまり滑らかにならずギザギザして見えてしまう。より滑らかに拡大するためには線形補間や二次補間のような補間法を実装する必要がある。
- 映像の乱れ
縞状のノイズが発生するようになった。Block RAM 周辺回路の見直しや最適化が必要である。

参考文献

- [1] 堀田将也：FPGA を用いた 3D タイルディスプレイシステムの開発，電気通信大学 情報理工学研究科 情報・通信工学 専攻，成見研究室 修士論文，2015。
- [2] ZYBO Zynq-7000 Development Board
<http://digilentinc.com/Products/Detail.cfm?NavPath=2,400,1198&Prod=ZYBO>